

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-321666

(43)Date of publication of application : 04.12.1998

(51)Int.Cl.

H01L 21/60

H01L 21/56

H03H 9/25

(21)Application number : 09-143130

(71)Applicant : NEC CORP

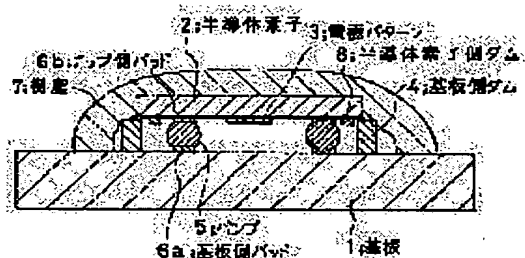
(22)Date of filing : 16.05.1997

(72)Inventor : OTAKE KENICHI

**(54) RESIN SEALING STRUCTURE OF FLIP CHIP MOUNTING TYPE SEMICONDUCTOR ELEMENT****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To improve yield and increase resistance to vibration and shock, by flip chip mounting a semiconductor element having a dam on a substrate having a dam, forming a hollow structure between the semiconductor element and the facing substrate, and covering the semiconductor element with resin.

**SOLUTION:** A semiconductor element 2 on which a dam 8 is formed is flip chip mounted on a substrate 1 on which a dam 4 is formed. The semiconductor element side dam 8 is positioned inside the substrate side dam 4. The semiconductor element 2 is covered with resin 7. A gap between the substrate 1 and the semiconductor element 2 is turned into a hollow airtight structure. The semiconductor element 2 is flip chip mounted on the substrate 1, and a chip side pad 6b is bonded to a substrate side pad 6a via a bump 5. When a gap distance between the substrate 1 and the semiconductor element 2 is increased by the warp of the substrate 1 and the semiconductor element 2, resin 7 does not permeate and is prevented from coming into contact with an electrode pattern 3 on the semiconductor element 2 surface.

**LEGAL STATUS**

[Date of request for examination] 16.05.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2943764

[Date of registration] 25.06.1999

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

25.06.2002

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 3 2 1 6 6 6

(43) 公開日 平成10年(1998)12月4日

(51) Int. Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/60

3 1 1

H 0 1 L 21/60

3 1 1 Q

21/56

21/56

R

H 0 3 H 9/25

H 0 3 H 9/25

A

審査請求

有

請求項の数 3

F D

(全 4 頁)

(21) 出願番号 特願平9-143130

(22) 出願日 平成9年(1997)5月16日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 大竹 健一

東京都港区芝五丁目7番1号 日本電気株式  
会社内

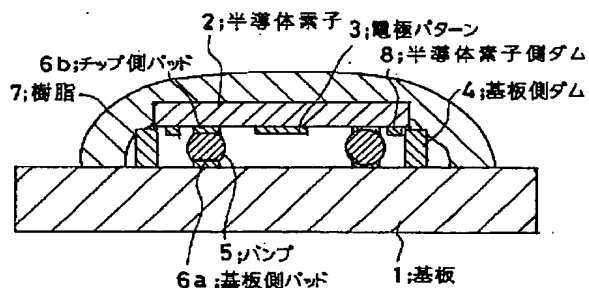
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 フリップチップ実装型半導体素子の樹脂封止構造

(57) 【要約】

【課題】 歩留りを向上し、振動や衝撃に対する耐性を高め、信頼性を向上させるフリップチップ型半導体素子の樹脂封止構造の提供。

【解決手段】 半導体素子のパッドを有する側の面においてパッドの外側にダム（「半導体素子側ダム」という）を有し、半導体素子の基板への実装時に半導体素子側のパッドと接合されるパッドを有する基板面においてパッドの外側にダム（「基板側ダム」という）を有し、半導体素子の実装時、半導体素子側ダムは基板側ダムの内側に配置され、樹脂で半導体素子が封止され、半導体素子と対向する基板の間に中空構造を形成する。



## 【特許請求の範囲】

【請求項 1】 ダムを有する基板に対し、ダムを有する半導体素子をフリップチップ実装し、樹脂で半導体素子を覆うことにより、前記半導体素子と対向する基板の間に中空構造を形成する、ことを特徴とするフリップチップ型半導体素子の樹脂封止構造。

【請求項 2】 半導体素子のパッドを有する側の面において前記パッドの外側にダム（「半導体素子側ダム」という）を有し、

前記半導体素子の基板への実装時に前記半導体素子側のパッドと接合されるパッドを有する基板面において前記パッドの外側にダム（「基板側ダム」という）を有し、前記半導体素子の実装時、前記半導体素子側ダムは前記基板側ダムの内側に配置され、樹脂で前記半導体素子が封止され、前記半導体素子と対向する基板の間に中空構造を形成する、ことを特徴とするフリップチップ型半導体素子の樹脂封止構造。

【請求項 3】 前記基板側パッドが前記基板面に設けられたキャビティの底面に設けられており、前記基板側ダムが前記基板面に設けられている、ことを特徴とする請求項 2 記載のフリップチップ型半導体素子の樹脂封止構造。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はフリップチップ実装した半導体素子に関し、特に樹脂封止構造に関する。

## 【0002】

【従来の技術】 図 3 は、従来のフリップチップ型パッケージの樹脂封止構造の一例を示す断面図である。図 3 に示すように、半導体素子 2 が基板 1 に、フリップチップ方式で実装されており、半導体素子 2 は樹脂 7 で覆われており、半導体素子 2 と基板 1 の隙間は中空気密構造になっていた。

【0003】 また、特開平 8 - 2 1 3 8 7 3 号公報には、半導体素子と基板の両方に封止材層を形成し、フリップチップ実装後、両方の封止材を接合することで半導体素子の中空構造を形成する方法が提案されている。

【0004】 さらに、特開平 4 - 2 9 3 3 1 0 号公報には、基板に半田封止枠を形成し、さらに半導体素子のパターンと接合することで中空構造を形成する方法が提案されている。

## 【0005】

【発明が解決しようとする課題】 上記従来技術は、下記記載の問題点を有している。

【0006】 (1) 第 1 の問題点は、歩留まりが低い、ということである。

【0007】 その理由は、図 3 に示す方法では、基板 1 や半導体素子 2 の反りなどにより、基板 1 と半導体素子 2 の隙間距離にばらつきが生じ、その距離の大きいもの

は基板側ダムと半導体素子隙間に、樹脂が入り込み、半導体素子表面の電極パターンに接触し、電気的特性が得られない、ためである。

【0008】 (2) 第 2 の問題点は、振動や衝撃に弱いことである。

【0009】 その理由は、上記特開平 8 - 2 1 3 8 7 3 号公報に記載の方法では、半導体素子が露出しており、振動や衝撃力が加わった場合、半導体素子の欠損や割れが生じるためである。

【0010】 (3) 第 3 の問題点は、信頼性が低い、ということである。

【0011】 その理由は、上記特開平 4 - 2 9 3 3 1 0 号公報に記載の方法では、半田接合時にフラックスを使用するため、フラックス中に含有されるハロゲン系イオンが電極パターンを腐食させるからである。

【0012】 したがって、本発明は、上記問題点を解消すべくなされたものであって、その目的は、歩留りを向上し、振動や衝撃に対する耐性を高め、信頼性を向上させるフリップチップ型半導体素子の樹脂封止構造を提供することにある。

## 【0013】

【課題を解決するための手段】 前記目的を達成するため、本発明のフリップチップ実装型半導体素子の樹脂封止構造は、基板と半導体素子にダムを有し、フリップチップ実装後の樹脂封止の際、樹脂が入り込まない構造としたものである。

【0014】 より詳細には、本発明は、ダムを有する基板に対し、ダムを有する半導体素子をフリップチップ実装し、樹脂で半導体素子を覆うことにより、前記半導体素子と対向する基板間に中空構造を形成する、ことを特徴とする。

## 【0015】

【発明の実施の形態】 次に本発明の実施の形態について図面を参照して詳細に説明する。

【0016】 図 1 は、本発明の第 1 の実施の形態をなすフリップチップ型半導体素子の樹脂封止構造の断面を示す図である。図 1 を参照すると、この実施の形態においては、ダム 4 が形成された基板 1 上に、ダム 8 が形成された半導体素子 2 をフリップチップ実装しており、半導体素子（チップ）側ダム 8 は、基板側ダム 4 の内側に位置し、半導体素子 2 は樹脂 7 で覆われ、基板 1 と半導体素子 2 の隙間は中空気密構造になっている。

【0017】 半導体素子 2 は、基板 1 上にフリップチップ実装されており、チップ側パッド 6 b と基板側パッド 6 a はバンプ 5 を介して接合されている。この方法は、チップ側パッド 6 b 上に Au のバンプを形成し、Au メッキされた基板側パッド 6 a に加熱しながら押しつけることにより、バンプ 5 と基板側パッド 6 b の熱圧着法により、バンプ 5 と基板側パッド 6 a を接合する。

【0018】 また、接合時間を短くするため超音波接合

する場合もある。超音波接合の場合は、接合時の温度が熱圧着に比べ、低くできるため、実装後の基板1と半導体素子2間の熱収縮差による応力を小さくできる長所を有する。

【0019】基板側ダム4は、基板1上に樹脂を印刷して形成する。基板側ダム4は、半導体素子とほぼ同じサイズであり、その高さは、実装後のバンプ5高さより小さくし、基板側ダム4が半導体素子2と接触しないように、例えば40 $\mu$ m程度にする。

【0020】基板1がセラミック基板の場合は、基板側ダム4を材質を基板1と同じセラミックで形成することもできる。この場合は、同時焼成で基板側ダム4が形成でき、形成時間が短い。

【0021】また、半導体素子側ダム8は、樹脂7を半導体素子2上にスピンコートで10 $\mu$ m～20 $\mu$ mの厚さで塗し、硬化後、不要な部分をエッチングで取り除き形成する。

【0022】実装後、半導体素子側ダム8は基板側ダム4の内側に位置し、半導体素子2と基板側ダム4隙間の内側に半導体素子側ダム8が位置した構造になっており、半導体素子側ダム8と基板側ダム4隙間は極めて小さい。

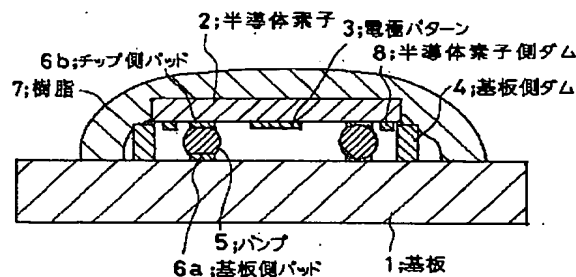
【0023】次に、樹脂7を半導体素子2上に滴下し、封止する。その方法は、樹脂をディスペンサから一定量供給し、基板1と半導体素子2の隙間周辺は樹脂で覆う。樹脂7が基板1と半導体素子2隙間は、半導体素子側ダム8と基板側ダム4の僅かな隙間を通り抜けできないため、中空構造にし、最後に樹脂を硬化する。樹脂7は粘度が高く、ハロゲン系のイオンを含まない熱硬化型か、光硬化型を使用する。

【0024】次に本発明の第2の実施の形態について図面を参照して説明する。図2は、本発明の第2の実施の形態を示す断面図である。

【0025】図2を参照すると、基板1に半導体素子2が実装される部分はキャビティ構造になっている。このような構造にすることにより、基板側ダム4を低くしても、樹脂の入り込みを防止することができる。

【0026】

【図1】



【発明の効果】以上説明したように、本発明によれば下記記載の効果を奏する。

【0027】(1) 本発明の第1の効果は、歩留まりが高い、ということである。

【0028】その理由は、本発明においては、基板と半導体素子の両方に形成したダムにより、フリップチップ実装後の隙間が極めて小さくなり、基板や半導体素子の反りにより、基板と半導体素子隙間距離が大きくなる場合でも、樹脂の入り込みがなく、半導体素子表面の電極パターンに樹脂が接触することが回避される、ためである。

【0029】(2) 本発明の第2の効果は、振動や衝撃に強い、ということである。

【0030】その理由は、本発明においては、半導体素子は樹脂で覆われているため、露出がなく、振動や衝撃が加わっても、半導体素子の欠損や割れが生じない、ためである。

【0031】(3) 本発明の第3の効果は、信頼性が高い、ということである。

【0032】その理由は、本発明においては、フラックスを使用せず、ハロゲン系イオンガスの発生がなく、電極パターンの腐食がないためである。

【図面の簡単な説明】

【図1】 本発明の一実施例の構成を示す断面図である。

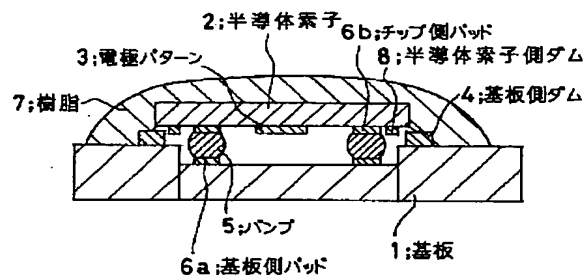
【図2】 本発明の別の実施例の構成を示す断面図である。

【図3】 従来のフリップチップ実装型パッケージを示す断面図である。

【符号の説明】

- 1 基板
- 2 半導体素子
- 3 電極パターン
- 4 基板側ダム
- 5 バンプ
- 6 a チップ側パッド
- 6 b 基板側パッド
- 7 樹脂
- 8 半導体素子側ダム

【図2】



【図3】

